

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06208137 A**(43) Date of publication of application: **26.07.84**

(51) Int. Cl.

**G02F 1/136  
H01L 29/784**(21) Application number: **05003640**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **13.01.93**(72) Inventor: **OZAKI KIYOSHI****(54) MANUFACTURE OF THIN FILM TRANSISTOR  
MATRIX**

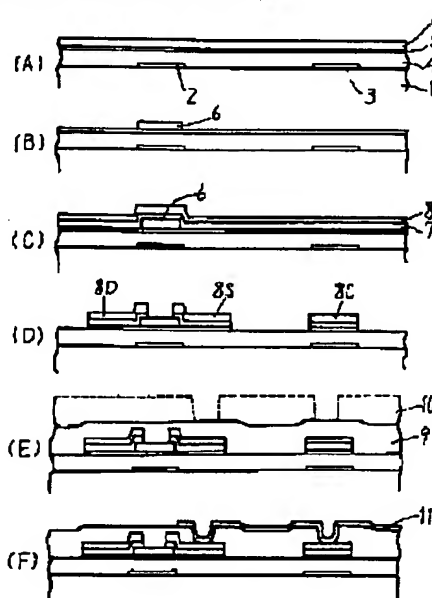
the source electrode 8B, and patterning is performed to form a picture element electrode 11.

**(57) Abstract**

COPYRIGHT: (C)1994,JPO&amp;Japio

**PURPOSE:** To improve the reliability of element, and to improve the yield of the manufacture by forming contact holes, which are to be opened in a second insulating layer, into the normal taper shape, and preventing the conductivity of the surface of a substrate in the manufacture of a thin film transistor(TFT) matrix.

**CONSTITUTION:** A gate electrode 2 and a stored capacity lower electrode 3 are formed on a substrate 1 made of the transparent and insulating material, and a first insulating thin film 4 and an operating semiconductor layer 5 and a channel protecting film 6 are formed thereon in order. A contact layer 7 and a metal film 8 are formed in order on the substrate a parts except for the channel protecting film 6 immediately on the gate electrode 2, and patterning is performed to form a drain electrode 8D and a source electrode 8S and a stored capacity upper electrode 8C. The substrate is covered with a second insulating film 9 made of the transparent resin, and the second insulating film 9 is formed with contact holes, and a transparent electrode film is formed on the substrate and made to contact with the stored capacity upper electrode 8C and



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-208137

(43)公開日 平成6年(1994)7月26日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願平5-3640

(22)出願日 平成5年(1993)1月13日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 尾崎 喜義

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

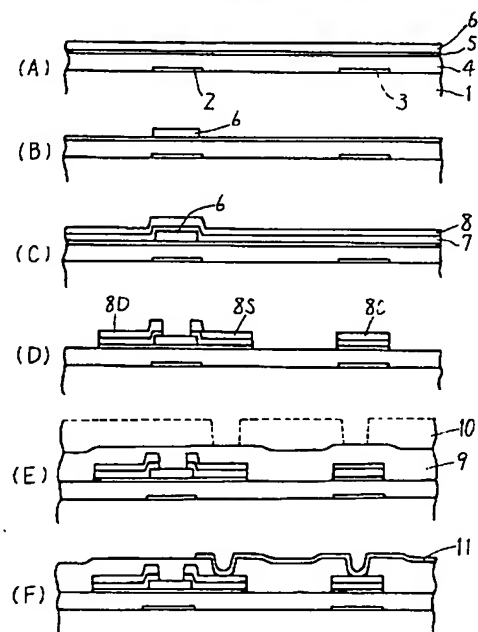
(54)【発明の名称】 薄膜トランジスタマトリクス of 製造方法

(57)【要約】

【目的】 薄膜トランジスタ(TFT) マトリクスの製法に関し、2層目絶縁膜に開けるコンタクト孔を順テーパー形状にし且つ基板表面の導通化を防止し、素子の信頼性と製造歩留の向上を目的とする。

【構成】 透明絶縁性の基板 1上にゲート電極 2と蓄積容量下部電極 3を形成し、その上に第1層目絶縁膜 4、動作半導体層 5、チャネル保護膜 6を順次成膜し、ゲート電極直上のチャネル保護膜を残し、基板上にコンタクト層 7と金属膜 8を順に成膜し、パターニングして、ドレイン電極8Dと、ソース電極8Sと、蓄積容量上部電極8Cを形成し、基板上に透明樹脂からなる第2層目絶縁膜 9を被着し、第2層目絶縁膜にコンタクト孔を形成し、基板上に透明電極膜を成膜して、蓄積容量上部電極とソース電極とにコンタクトをとり、パターニングして画素電極11を形成するように構成する。

本発明の実施例(1)の断面図



## 【特許請求の範囲】

【請求項1】 透明絶縁性の基板(1)上にゲート電極(2)と蓄積容量下部電極(3)を形成し、その上に第1層目絶縁膜(4)、動作半導体層(5)、チャネル保護膜(6)を順次成膜する工程と、次いで、該ゲート電極直上の該チャネル保護膜を残すように、該チャネル保護膜をパターンニングする工程と、次いで、該基板上に高濃度半導体からなるコンタクト層(7)とソースドレイン電極用金属膜(8)を順に成膜する工程と、次いで、該コンタクト層と該ソースドレイン電極用金属膜をパターンニングして、ドレイン電極(8D)と、ソース電極(8S)と、蓄積容量上部電極(8C)を形成する工程と、次いで、該基板上に透明樹脂からなる第2層目絶縁膜(9)を被着する工程と、次いで、該ソース電極上および該蓄積容量上部電極上において、第2層目絶縁膜にコンタクト孔を形成する工程と、次いで、該基板上に透明電極膜を成膜して、該蓄積容量上部電極と該ソース電極とを該透明電極膜にコンタクトをとり、該透明電極膜をパターンニングして画素電極(11)を形成する工程とを有することを特徴とする薄膜トランジスタマトリクス製造方法。

【請求項2】 前記第2層目絶縁膜(9)が、熱硬化性樹脂または光硬化性樹脂または感光性樹脂であることを特徴とする請求項1記載の薄膜トランジスタマトリクスの製造方法。

【請求項3】 透明絶縁性の基板(1)上に形成された画素電極(11)を覆って透明絶縁膜を成膜する工程を有することを特徴とする薄膜トランジスタマトリクスの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はアクティブマトリクス駆動方式による液晶パネル等に構成される薄膜トランジスタ(TFT)マトリクスの製造方法に関する。

【0002】 近年、ラップトップパーソナルコンピュータや壁掛けテレビに使用するTFTマトリクス型液晶パネルの開発が進められている。TFTマトリクス型液晶パネルは表示品質がCRTと同等であることが認められつつあるが、価格、信頼性、製造歩留の点で改善の余地が残されている。

## 【0003】

【従来の技術】 アクティブマトリクス駆動方式による液晶パネルはドット表示を行う個々の画素に対応してマトリクス状にTFTを配置し、各画素にメモリ機能を持たせコントラスト良く多ラインの表示を可能としている。

【0004】 図4はTFTマトリクスの平面図である。TFTマトリクス型液晶パネルは、X、Y方向に交差してマトリクス状に配置された多数のゲートバスライン41とドレインバスライン42に駆動電圧を印加して、両バスライン交差部に接続されたTFT43を選択駆動することにより、対応する所望の画素をドット表示するように構成さ

れている。このようなTFTマトリクスの構造は、例えば、透明絶縁性のガラス基板上にチタン(Ti)-アルミニウム(Al)からなる多数のゲートバスラインとドレインバスラインとが窒化シリコン(SiN)等からなる層間絶縁膜を介してX、Y方向に交差した形に配置され、両バスラインの交差部にTFTが接続されている。また、TFTの動作半導体層にアモルファスシリコン(a-Si)層を用いる場合には、ゲート絶縁膜にプラズマ気相成長(P-CVD)法による窒化シリコン膜(SiN)あるいは窒化シリコンオキシナイトライド(SiNO)膜が用いられていた。

【0005】 なお、図中、8DはTFTのドレイン電極、8SはTFTのソース電極、8Cは蓄積容量上部電極(補助容量バスライン)を示す。図5(A)～(F)は従来のTFT素子の製造工程を説明する断面図である。

【0006】 図5(A)において、透明絶縁性基板としてガラス基板1上にスパッタリングによりAl膜とCr膜を連続して成膜し、フォトリソグラフィによりレジスト膜をパターンニングした後、レジスト膜をマスクにしてエッチングしてゲート電極2と蓄積容量下部電極3を形成する。

【0007】 次いで、レジスト膜を剥離し、P-CVD法により、第1層目絶縁膜であるゲート絶縁膜および蓄積容量誘電体膜としてSiN膜4、動作半導体層としてa-Si膜5、チャネル保護膜としてSiN膜6を連続成長する。ここで、第1層目絶縁膜は、CVD SiN膜4の代わりに原子層エピタキシ(ALD)法によるアルミナ膜を用いてもよい。

【0008】 図5(B)において、ゲート電極2の直上のチャネル保護膜6を残すようにパターンニングする。図5(C)において、基板上にコンタクト層としてn<sup>+</sup>型a-Si層7とソースドレイン電極用金属膜8を連続成膜する。

【0009】 図5(D)において、コンタクト層7とソースドレイン電極用金属膜8をパターンニングして、ドレイン電極8Dと、ソース電極8Sと、蓄積容量上部電極8Cを形成する。

【0010】 図5(E)において、第2層目絶縁膜14として、P-CVD法によりSiN膜を成膜し、ソース電極8Sと蓄積容量上部電極8C上にコンタクト孔を形成する。図5(F)において、基板上に透明電極膜としてITO膜を成膜して、蓄積容量上部電極8Cとソース電極8Sとにコンタクトをとり、パターンニングして画素電極11とし、TFTマトリクスを形成する。

## 【0011】

【発明が解決しようとする課題】 第2層目絶縁膜9は厚さ3000～4000Åに成膜するが、成膜条件により膜質は大きく変わる。この膜質の変化により、この膜に、ドライまたはウェットエッチングによりコンタクト孔を形成した際に、図6のようにコンタクト孔の断面形状が順テーパ、垂直、逆テーパの形が得られる。順テーパの場合は特に問題はなく、ITO膜11を成膜した際にコンタクト孔

を通して蓄積容量上部電極とソース電極とにコンタクトをとることができるが、逆テーパーの場合はコンタクトをとることができず表示欠陥となる。

【0012】また、第2層目絶縁膜 9はモノシラン( $\text{SiH}_4$ )とアンモニア( $\text{NH}_3$ )を主原料とする強い還元雰囲気中で成膜されるため、下地に金属の化合物汚染が微量に残留していても、これを還元して導通性異物を発生させる。そのため、基板表面が導通することがあった。

【0013】本発明はTFT素子の製造において、2層目絶縁膜に開けるコンタクト孔を順テーパー形状にし且つ基板表面の導通化を防止し、素子の信頼性と製造歩留の向上を目的とする。

【0014】

【課題を解決するための手段】上記課題の解決は、

1) 透明絶縁性の基板 1上にゲート電極 2と蓄積容量下部電極 3を形成し、その上に第1層目絶縁膜 4、動作半導体層 5、チャネル保護膜 6を順次成膜する工程と、次いで、該ゲート電極直上の該チャネル保護膜を残すように、該チャネル保護膜をパターニングする工程と、次いで、該基板上に高濃度半導体からなるコンタクト層 7とソースドレイン電極用金属膜 8を順に成膜する工程と、次いで、該コンタクト層と該ソースドレイン電極用金属膜 8をパターニングして、ドレイン電極8Dと、ソース電極8Sと、蓄積容量上部電極8Cを形成する工程と、次いで、該基板上に透明樹脂からなる第2層目絶縁膜 9を被着する工程と、次いで、該ソース電極上および該蓄積容量上部電極上において、第2層目絶縁膜にコンタクト孔を形成する工程と、次いで、該基板上に透明電極膜を成膜して、該蓄積容量上部電極と該ソース電極とを該透明電極膜にコンタクトをとり、該透明電極膜をパターニングして画素電極11を形成する工程とを有する薄膜トランジスタマトリクス製造方法、あるいは

2) 前記第2層目絶縁膜 9が、熱硬化性樹脂または光硬化性樹脂または感光性樹脂である前記1)記載の薄膜トランジスタマトリクス製造方法、あるいは

3) 透明絶縁性の基板 1上に形成された画素電極11を覆って透明絶縁膜を成膜する薄膜トランジスタマトリクス製造方法により達成される。

【0015】

【作用】本発明では、第2層目絶縁膜としてCVD SiNの代わりに透明樹脂膜を用いる。これは本発明者が、樹脂膜はP-CVD法に見られた成膜条件に依るコンタクト孔の断面形状のばらつきがなく、逆テーパーが形成されことなく安定に塗布形成できることを確かめた結果を利用したものである。

【0016】また、樹脂であるため、金属化合物の残渣の還元はなく、さらに回転塗布によるため樹脂表面が平坦化される。

【0017】

【実施例】

実施例(1)：図1(A)～(F)は本発明の実施例(1)の断面図である。

【0018】図1(A)において、透明絶縁性基板としてガラス基板 1上にスパッタリングにより厚さ1000ÅのAl膜と厚さ1000ÅのCr膜を連続して成膜し、フォトリソグラフィによりレジスト膜をパターニングした後、レジスト膜をマスクにしてエッチングしてゲート電極 2と蓄積容量下部電極 3を形成する。

【0019】次いで、レジスト膜を剥離し、P-CVD法により、第1層目絶縁膜であるゲート絶縁膜および蓄積容量誘電体膜として厚さ4000Åの窒化シリコン(SiN)膜 4、動作半導体層として厚さ150Åのa-Si膜 5、チャネル保護膜として厚さ1200ÅのSiN膜 6を連続成長する。ここで、第1層目絶縁膜は、SiN膜 4の代わりにALD法によるアルミナ膜を用いてもよい。

【0020】図1(B)において、ゲート電極 2直上のチャネル保護膜 6を残すようにパターニングする。図1(C)において、基板上にコンタクト層として厚さ600Åのn型a-Si層 7と厚さ1500Åのクロム(Cr)膜からなるソースドレイン電極用金属膜 8を連続成膜する。

【0021】図1(D)において、コンタクト層 7とソースドレイン電極用金属膜 8をパターニングして、ドレイン電極8Dと、ソース電極8Sと、蓄積容量上部電極8Cを形成する。

【0022】図1(E)において、第2層目絶縁膜 9として、透明の熱硬化性樹脂膜を塗布し、キュア(熱処理)を行う。熱硬化性樹脂は、例えばシリコン系またはエポキシ系熱硬化性樹脂を用い、回転塗布または印刷法により塗布し、キュア後所定の厚さを0.4μmにする。印刷法の場合は基板上の接続端子に樹脂を付着しないようにしてもよい。

【0023】次いで、フォトリソグラフィにより、ソース電極と蓄積容量上に開口部を持つレジスト膜10を基板上に形成する。図1(F)において、レジスト膜10をマスクにして、熱硬化性樹脂膜をエッチングしてコンタクト孔を形成し、レジスト膜10を除去する。この際同時に接続端子上の樹脂もエッチング除去する。

【0024】次に、樹脂上に画素電極膜として厚さ700ÅのITO膜を成膜して、蓄積容量上部電極8Cとソース電極8Sとにコンタクトをとり、パターニングして画素電極11とし、TFTマトリクスを形成する。

【0025】実施例(2)：実施例(1)では、第2層目絶縁膜 9として透明の熱硬化性樹脂膜を用いたが、これの代わりに光硬化性樹脂、例えば、UV樹脂を用い、実施例(1)と同様に成膜してもよい。

【0026】実施例(3)：図2は本発明の実施例(3)の断面図である。2層目絶縁膜 9として感光性樹脂、例えば感光性ポリイミド樹脂を用い、フォトマスク12を用いて、感光性ポリイミド樹脂をパターニングしてソース電極8Sと蓄積容量上部電極8C上にコンタクト孔を形成す

る。

【0027】実施例(4)：図3は本発明の実施例(4)の断面図である。この例は、第2層目絶縁膜として本発明の透明樹脂膜9あるいは従来例のSiN膜14を用いてTFTを形成した後、基板表面に保護膜13として透明絶縁膜を成膜するようにしている。この際、接続端子上は保護膜を成膜しないようにする。または成膜してもその後エッチング除去してもよい。保護膜13により基板表面は平坦化され、次工程が精度よく行える。

【0028】次に実施例の効果を要約する。

(1) 2層目絶縁膜に樹脂膜を用いるため、成膜が容易で、成膜装置も簡単で小型化できる。また、感光性樹脂を用いた場合はレジストの塗布工程が省略できる。

(2) 樹脂は成膜条件が安定しているため、コンタクト孔を形成する際に、従来みられた逆テーパ形状をなくすることができる。従って、コンタクト孔の形状が安定化するため、画素電極膜のITO膜を成膜した際に断線を防止できる。

(3) 樹脂であるため、金属酸化物の残渣の還元はなくなり、基板表面の導通を防止できる。

(4) 樹脂膜は回転塗布に依るため基板表面を平坦化できる。

(5) 信頼性、製造歩留が向上し、低価格化が実現できる。

【0029】

【発明の効果】本発明によれば、TFT素子の製造において、第2層目絶縁膜に開けるコンタクト孔を順テーパ形\*

\*状に形成でき且つ基板表面の導通化を防止することができた。この結果、本発明は素子の信頼性と製造歩留の向上に寄与することができた。

【図面の簡単な説明】

【図1】 本発明の実施例(1)の断面図

【図2】 本発明の実施例(3)の断面図

【図3】 本発明の実施例(4)の断面図

【図4】 TFTマトリクスの平面図

【図5】 従来のTFT素子の製造工程を説明する断面図

10 【図6】 コンタクト孔の断面図

【符号の説明】

1 透明絶縁性基板でガラス基板

2 ゲート電極

3 蓄積容量下部電極

4 第1層目絶縁膜（ゲート絶縁膜および蓄積容量誘電体膜）でSiN膜

5 動作半導体層でa-Si膜

6 チャネル保護膜でSiN膜

7 コンタクト層でn<sup>+</sup>型a-Si層

20 8 ソースドレイン電極用金属膜

8D ドレイン電極

8S ソース電極

8C 蓄積容量上部電極

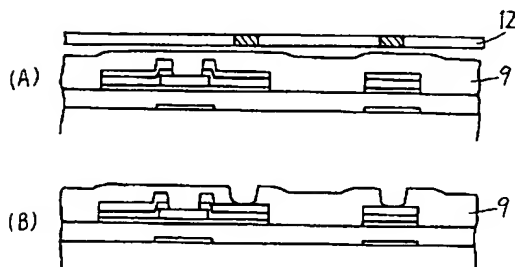
9 第2層目絶縁膜で透明樹脂膜

10 レジスト膜

11 画素電極でITO膜

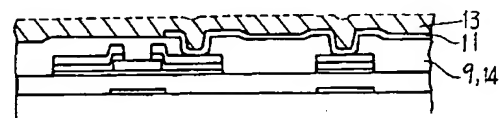
【図2】

本発明の実施例(3)の断面図



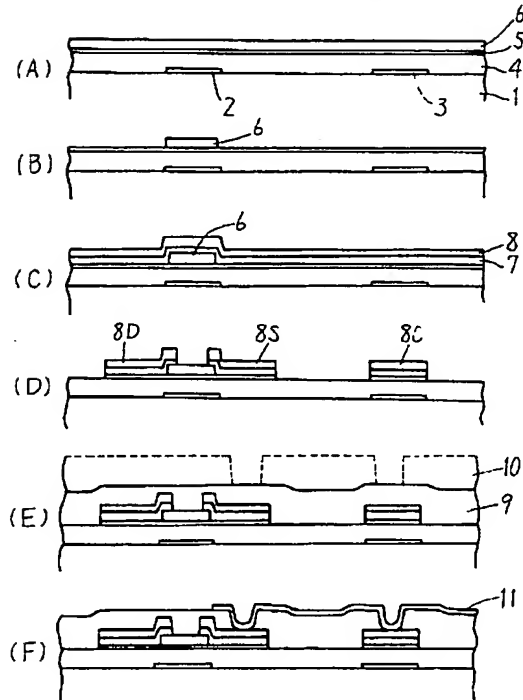
【図3】

本発明の実施例(4)の断面図



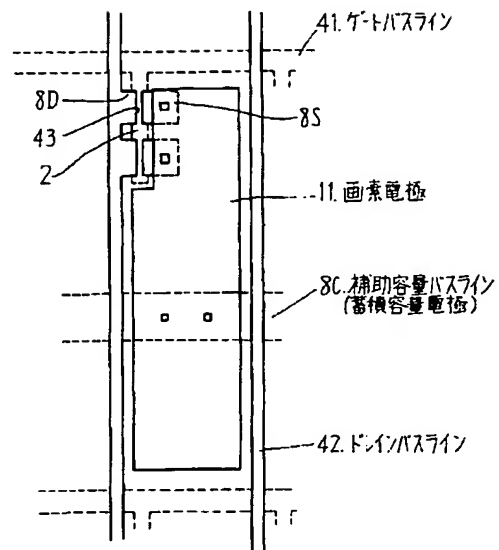
【図1】

本発明の実施例(1)の断面図



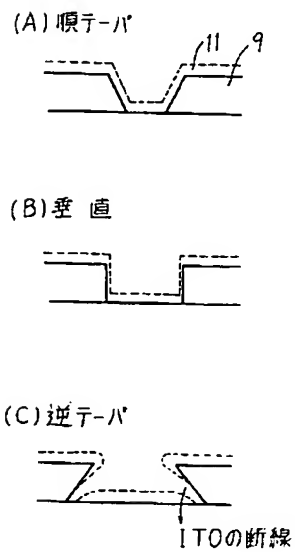
【図4】

TFTマトリクスの平面図



【図6】

コンタクト孔の断面図



【図5】

従来のTFT素子の製造工程を説明する断面図

